



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 13 660 A 1**

⑤① Int. Cl.⁶:
G 06 F 1/10
H 04 L 7/04

⑦① Aktenzeichen: 197 13 660.5
⑦② Anmeldetag: 2. 4. 97
⑦③ Offenlegungstag: 8. 10. 98

DE 197 13 660 A 1

⑦① Anmelder:
Siemens Nixdorf Informationssysteme AG, 33106
Paderborn, DE

⑦① Vertreter:
Epping, W., Dipl.-Ing. Dr.-Ing., Pat.-Anw., 82131
Gauting

⑦② Erfinder:
Stallmann, Jürgen, 33184 Altenbeken, DE; Unruhe,
Lorenz, 33175 Bad Lippspringe, DE

⑤⑥ Entgegenhaltungen:

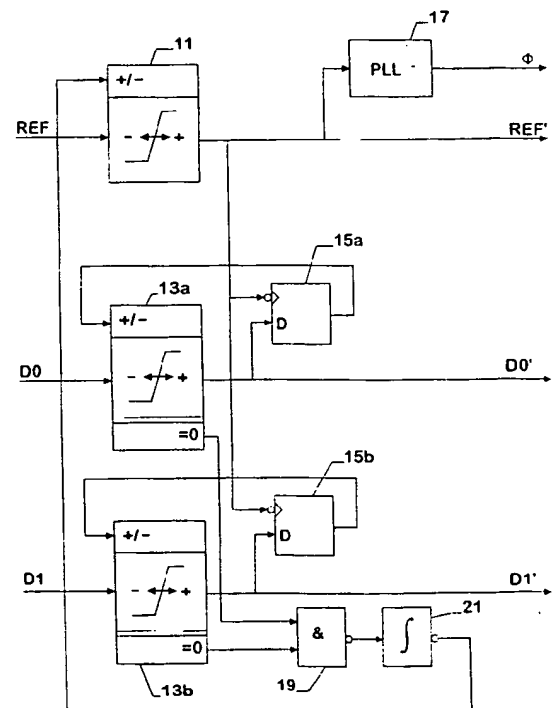
DE	36 04 277 A1
DD	2 69 475 A1
US	55 13 377
US	53 79 299

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Phasenjustierung schneller paralleler Signale

⑤⑦ Bei der Übermittlung schneller Signale über mehrere Datenleitungen werden Verzögerungsglieder mindestens für die Datensignale verwendet, über Phasenvergleich einer bekannte Flanke des Datensignals gegenüber einer nominell zeitgleichen Flanke eines Referenzsignals geprüft und entsprechend dem Vergleichsergebnis die Verzögerungsglieder verstellt.



DE 197 13 660 A 1

BEST AVAILABLE COPY

Beschreibung

Technisches Gebiet

Die Erfindung betrifft ein Betriebsverfahren samt Schaltung für die parallele, synchrone Übermittlung von sehr schnellen Signalbündeln, vorzugsweise in digitalen Rechenanlagen.

Stand der Technik

In Rechenanlagen werden häufig mehrere Datensignale gleichzeitig, also auf elektrisch parallelen Leitungen, von einer Datenquelle zu einer Datensenke übertragen. Je größer die Anzahl der Leitungen ist, desto größer ist bekanntermaßen die bei vorgegebener Taktrate übertragbare Informationsmenge, so daß diese Technik mit einer großen Anzahl von 32 oder mehr Leitungen in den Schaltkreisen von Hochleistungs-Zentraleinheiten verwendet wird.

Insbesondere bei Taktraten von 100 MHz oder darüber stellt sich jedoch heraus, daß die Laufzeiten der Signale auf den unterschiedlichen Leitungen differieren. Bei einer Taktrate von 100 MHz liegen zwei aufeinanderfolgende Taktfanken 10 ns auseinander, so daß eine Phasengenauigkeit von mindestens 1 ns notwendig ist. Dieser Zeit entspricht einer Leitungslänge von 15 cm, da in Leitungen die Geschwindigkeit der elektrischen Wellen in erster Näherung die halbe Lichtgeschwindigkeit beträgt. Bei der Verbindung von elektrischen Schaltkreisen in einem Hochleistungssystem mit diesen und höheren Frequenzen ist daher nicht zu vermeiden, daß Laufzeitunterschiede dazu führen, daß parallel übertragenen Signale mit soweit unterschiedlichen Laufzeiten am Empfänger eintreffen, daß die Signale nicht mehr zuverlässig empfangen werden können.

Da ferner die Leitungen an den Empfängern gar nicht mehr für von außen angebrachte Meßmittel zugänglich sind, ist ein wie auch immer gearteter manueller Abgleich der Laufzeiten nicht möglich. Zudem wurde beobachtet, daß sich die Laufzeiten auch im Betrieb, z. B. durch Erwärmung, verschieben.

In der Patentschrift US 5.513.377 ist eine Anordnung angegeben, bei der acht Datenleitungen und eine Taktleitung unidirektional eine Verbindung darstellen. Dabei werden Laufzeiten auf den Datenleitungen individuell ausgeglichen, indem, wie in Fig. 4 dargestellt, ein angezapftes Verzögerungselement verwendet wird, an das eine Vielzahl von Einrichtungen angeschaltet sind, die zur Erkennung und Bewertung der Flanken der Datensignale dienen.

In der Patentschrift US 5.487.095 wird eine Schaltung angegeben, mittels derer ein Datensignal in Phase mit einem Takt gebracht werden kann. Bei dieser Schaltung wird eine Anzahl von jeweils unterschiedlich verzögerten Versionen des Eingangssignals zwecks Erkennung der Flanken und Auswahl einer geeigneten Version der parallel anliegenden, verzögerten Versionen des Eingangssignals ausgewertet. Auch hier ist eine angezapfte Verzögerungseinrichtung notwendig.

Es ist Aufgabe der Erfindung, eine alternatives, weniger aufwendiges Betriebsverfahren und eine dafür geeignete Anordnung derart anzugeben, daß eine automatische Korrektur der Laufzeiten auf den Datenleitungen erfolgt. Insbesondere soll die Lösung unabhängig von der Art der digital einstellbaren Verzögerungsleitung sein.

Darstellung der Erfindung

Die Erfindung geht von der Überlegung aus, daß die Laufzeiten sich in Relation zu den Taktzeiten sehr langsam

2

verändern. Sie verwendet daher einstellbare Verzögerungsglieder, die lediglich dann justiert werden, wenn eine vorbestimmte Flanke eines Referenzsignal nominell gleichzeitig mit einer Flanke des jeweiligen Datensignals anliegt. Die notwendigen Verzögerungselemente kommen mit je einem Daten-Ein- und Ausgang sowie einem Steuereingang, also mit einer sehr geringen Anzahl von Leitungen, aus und können in verschiedenen Techniken realisiert sein, wie in der Beschreibung genauer dargestellt wird.

In einer ersten, bevorzugten Ausführungsform werden mehrerer parallele Datenleitungen und eine zusätzliche Steuerleitung verwendet. Die Steuerleitung überträgt ein Signal, das einerseits zur Rekonstruktion des Empfängstaktes über einen phasenkorrigierten Oszillator dient. Sie wird ferner verwendet, um Datenblöcke, d. h. mehrere seriell aufeinanderfolgende und zueinander gehörige Datenmengen zu kennzeichnen. Dabei wird davon ausgegangen, daß die zu übertragenden Datenblöcke in eine Anzahl von Datenwörtern aufgeteilt werden, wobei die Anzahl der Datenleitungen gleich der Anzahl der Bits eines Datenworts ist, und die zu einem Block gehörigen Datenwörter unmittelbar aufeinanderfolgend, auch als synchron bezeichnet, übertragen werden. Übertragungsbezogen wird dies auch als Rahmen bezeichnet. Das Referenzsignal zeigt dann den Beginn und gleichzeitig durch den Beginn des nächsten das Ende des vorherigen Datenblocks bzw. Rahmens an. Wenn keine Nutzdaten anliegen, werden Abgleichblöcke von Daten gesendet, bei denen vorbestimmte Flankenwechsel erfolgen und die dann zur Korrektur der Laufzeiten ausgenutzt werden. Der Beginn eines Rahmens wird durch die steigenden Flanke angezeigt. Die Auswahl, ob ein Datenrahmen oder Synchronisationsrahmen vorliegt, wird durch die Länge des Referenzsignals angezeigt. Die fallende Flanke des Referenzsignals ist dann Bezugspunkt für den Laufzeitabgleich. Über Phasenvergleich wird die vorbestimmte Flanke des Datensignals gegenüber der nominell zeitgleichen Flanke des Referenzsignals verglichen. Entsprechend dem Vergleichsergebnis werden die Verzögerungsglieder verstellt.

Weitere Ausgestaltungen, Varianten und Ausführungsformen sind der nachfolgenden Beschreibung zu entnehmen.

Kurzbeschreibung der Zeichnungen

Es zeigen

Fig. 1 eine schematische Darstellung einer Schaltung zur Durchführung der Erfindung.

Fig. 2 eine schematische Darstellung eines Verzögerungsgliedes,

Fig. 3 ein Signaldiagramm für den Fall, daß getrennte Daten- und Abgleichrahmen übertragen werden.

Fig. 4 ein Signaldiagramm für den Fall, daß in einem Rahmen gleichzeitig Abgleich und Datenübertragung erfolgt.

Fig. 5 eine Variante für unterschiedliche Flanken des Datensignals.

Fig. 6 eine Weiterbildung der Variante nach Fig. 5.

Fig. 7 eine Variante für automatische Erkennung der abgleichbaren Referenzzeiten.

Beschreibung einer Ausführungsform der Erfindung

Die Erfindung wird an einem Beispiel beschrieben, bei dem acht Datenbits auf zwei Datenleitungen mit vier Taktzyklen übertragen werden, also unter Verwendung eines Rahmens von vier Takten. In der Praxis werden weitaus mehr Datenleitungen verwendet; beispielsweise wird der Inhalt einer Cache-Line von 64 Byte mit 32 Datenleitungen mit einem Rahmen von 16 Takten übertragen.

Zusätzlich zu den Datensignalen D0, D1 wird ein Referenzsignal REF übertragen, aus dem der Empfänger den Takt Φ gewinnt, den Beginn eines Rahmens erkennt und das eine Bezugsflanke für die Phasenkorrektur der Datenleitungen enthält.

Eine Phasenkorrektur kann nur dadurch erfolgen, daß die Flanken der schneller eintreffenden Signale soweit verzögert werden, daß sie gleichzeitig mit den Flanken des langsamsten Signals eintreffen. Für eine einstellbare Verzögerung von Signalen stehen dem Fachmann eine Reihe von Lösungen zur Verfügung. In Fig. 2a ist eine bevorzugte Ausführung dargestellt. Dabei wird eine Verzögerungskette durch eine Hintereinanderschaltung einer geraden Anzahl von Invertoren gebildet. An jeder (geraden) Verbindung liegt das Eingangssignal, verzögert um ein Vielfaches der doppelten Transferzeit eines Inverters, an und wird durch einen Multiplexer entsprechend der einzustellenden Verzögerung abgegriffen. Alternativ kann auch eine Kette von Zellen verwendet werden, wie sie in Fig. 2b als Schaltung dargestellt sind, die zwischen einer geringen und einer größeren Verzögerung umschaltbar sind, wenn eine relativ große Minimalverzögerung gegenüber dem Gewinn durch die einfache Integrierbarkeit vor Vorteil ist. Es ist auch bekannt, die Flanke durch eine Kapazität zu verlangsamen und durch einen Schwellwertschalter abzutasten, dessen Schwellwert durch einen einfachen Digital-Analog-Wandler eingestellt wird. In allen Fällen hat es sich bewährt, die Verzögerungsglieder intern mit einem Auf-Ab-Zähler zu versehen, der einen Freigabeeingang, einen Takteingang und einen Eingang "±" zur Umschaltung zwischen Aufwärtszählung und Abwärtszählung aufweist. Im folgenden sei der Einfachheit halber stets angenommen, daß ein Zählerstand Null minimale Verzögerung bedeutet, durch ein Rücksetzsignal die Zähler alle auf Null gesetzt werden und die Zähler in den Extremstellungen verharren, d. h. nicht modular zählen.

In Fig. 1 ist die Anordnung, an Hand der die Erfindung des weiteren beschrieben wird, schematisch dargestellt. Dabei werden das Referenzsignal REF und die beiden Datensignale D0 und D1 über Verzögerungsglieder 11, 13a und 13b verzögert und ergeben die letztlich phasensynchronen verzögerten Signale REF', D0' und D1'. Aus dem verzögerten Referenzsignal REF' wird beispielsweise durch einen phasengesteuerten Oszillator 17 (PLL) ein Taktsignal Φ gewonnen, mit dem die verzögerten Datensignale D0', D1' abgetastet werden. Wie erwähnt, erhöht bzw. vermindert der Eingang "±" die einstellbare Verzögerung mit jedem Takt um einen Wert. Ferner ist bei den Verzögerungsgliedern 13a, 13b je ein mit "±0" markierter Ausgang vorgesehen, der anzeigt, daß die Verzögerung auf den kleinsten möglichen Wert eingestellt ist. Eine nicht gezeigte übergeordnete Steuerung gibt die Eingänge "±" für die Zeiten des Abgleichs frei und sperrt sie während der Übertragung von Nutzdaten; die Erkennung dieser beiden Betriebszustände wird weiter unten beschrieben. Da durch diese Steuerung die Schaltung während der Übertragung von Nutzdaten gegen Veränderungen gesperrt ist, bezieht sich die folgenden Beschreibung, sofern nicht anders angegeben, stets auf den Betriebszustand des Phasenabgleichs.

Nach dem Rücksetzen der Schaltung bei Betriebsbeginn seien die Verzögerungszeiten alle auf minimalen Wert eingestellt. Das zu einer Weiterbildung gehörende Verzögerungsglied 11 sei nicht wirksam, so daß die Signale REF und REF' gleich sind. In einem ersten Regelkreis werden nunmehr die Datensignale D0' und D1' auf Phasengleichheit mit dem Referenzsignal REF' eingestellt. Hierzu sind Phasenvergleicher 15a und 15b vorgesehen, die einerseits mit dem Referenzsignal REF' und andererseits mit dem jeweiligen verzögerten Datensignal D0', D1' verbunden sind. Als Pha-

senvergleicher sind im einfachsten Fall XOR-Gatter möglich, deren Ausgang durch geeignete Taktsignale abgetastet wird. Bevorzugt wird als Phasendiskriminator die gleichfalls bekannte Lösung über ein D-Flip-Flop eingesetzt, an dessen Takteingang das Referenzsignal REF' und an deren Dateneingang das verzögerte Datensignal D0', D1' gelegt wird. Hierbei wird die fallende Flanke des Referenzsignals REF' zur Übernahme der Daten verwendet, die zu diesem Zeitpunkt gleichfalls einen Übergang von H nach L durchlaufen. Der Ausgang des Phasenvergleichers 15a, 15b wird mit dem Eingang "±" des jeweiligen Verzögerungsgliedes 13a, 13b verbunden, so daß sich folgende Arbeitsweise ergibt: Liefert der Phasendiskriminator das Signal H, so ist zum Zeitpunkt der maßgeblichen fallenden Flanke des Referenzsignals REF' das Datensignal D0', D1' noch auf H, d. h. die fallende Flanke steht noch bevor. Das Signal ist also zu schnell und muß verzögert werden, weswegen der H-Pegel am Ausgang des Phasenvergleichers dazu führt, daß der Verzögerungswert des Verzögerungsglieds erhöht wird. Ergibt der Ausgang des Phasenvergleichers 15a, 15b ein L-Pegel, dann liegt die maßgebliche fallende Flanke des Referenzsignals REF' vor der fallenden Flanke des Datensignals; dieses ist also möglicherweise zu langsam und wird über den Eingang "±" des jeweiligen Verzögerungsglieds mit L-Pegel angesteuert und damit beschleunigt.

Es ergibt sich ein ständiges Oszillieren der Werte für die Verzögerung der Datensignale, weil die Datensignale mit jedem Vergleich entweder verzögert oder beschleunigt werden. Dies ist bei entsprechend feiner Auflösung der Verzögerungen jedoch ohne Bedeutung, wenn diese Veränderungen, wie beschrieben, mit dem Beginn von Nutzdatenübertragungen gesperrt werden. Auch kann in dem Verzögerungsglied vorgesehen sein, daß die letzten beiden Bits der binären Darstellung der Verzögerungszeit, wie sie in einem Auf-Ab-Zähler gespeichert ist, gar nicht zur Verzögerung herangezogen werden und damit unwirksam bleiben. Andere Mittel, beispielsweise Random-Walk-Filter, sind gleichfalls möglich.

Eine weitere Möglichkeit bei festen Rahmen von z. B. 16 Takten besteht darin, einen Auf-Abwärts-Zähler vorzusehen, der bei jedem Takt entsprechend dem Ausgang eines Phasenvergleichers auf- oder abwärts zählt und dieses Ergebnis am Ende eines Rahmens mit Schwellwerten auszuwerten, so daß beispielsweise nur bei einem Zählerstand unterhalb vier bzw. oberhalb von elf das Verzögerungsglied verstellt wird. Damit wird der Flankengitter der Phasenvergleicher gedämpft.

Die bisher beschriebene Anordnung setzt voraus, daß durch andere Maßnahmen, beispielsweise eine feste Verzögerung für das Signal REF', sichergestellt ist, daß das Referenzsignal REF' immer langsamer ist als die Datensignale. Eine weitere Verbesserung kann erreicht werden, wenn, wie Fig. 1 ferner dargestellt, auch die Verzögerung des Referenzsignals dynamisch angepaßt wird. Hierzu dienen die Ausgänge "±0" der Verzögerungsglieder für die Datensignale, die durch ein Nicht-Und-Glied 19 bewertet werden. Dessen Ausgang geht auf den H-Pegel, sobald einer der Verzögerungsglieder 13a, 13b für die Datensignale auf minimale Verzögerung eingestellt ist. Über einen Integrator 21, dessen Wirkung noch näher erläutert werden wird, wird dieses Signal auf den Eingang "±" des Verzögerungsgliedes 11 für das Referenzsignal gelegt. Damit wird bewirkt, daß, sofern mindestens ein Datensignal minimal verzögert ist, die Verzögerung für das Referenzsignal erhöht wird. Der Ausgang "±0" eines Verzögerungsglieds 13a, 13b für ein Datensignal D0, D1 wird also als Indikator dafür angesehen, daß dieses noch weiter beschleunigt werden könnte. Da dies nicht möglich ist, muß statt dessen das Referenzsignal ver-

zögen und in Folge dessen auch alle anderen Datensignale verzögert werden, bis sämtliche Datensignale im Regelbereich ihrer Verzögerungsglieder betrieben werden. Der Ausgang "≡0" kann dabei auch bereits vor Erreichen der minimalen Verzögerung gesetzt werden, beispielsweise bei etwa 10%. Damit werden insbesondere die im Folgenden beschriebenen Maßnahmen gegen Regelschwingungen beschleunigt.

Da es sich bei dieser Weiterbildung um zwei gekoppelte Regelschleifen handelt, sind Maßnahmen notwendig, um Regelschwingungen zu vermeiden. Sofern bereits in den Regelschleifen für die Verzögerung der Datensignale eine Regelverzögerung enthalten ist, beispielsweise durch den oben aufgeführten Zähler und damit lediglich eine Verstellung pro Rahmen, kann das nicht mit Flankengitter behaftete Ausgangssignal des Nicht-Und-Glieds 19 direkt an den Steuerungseingang des Verzögerungsglieds 11 für das Referenzsignal gelegt werden, so daß das in Fig. 1 gezeigte Verzögerungsglied 21 nicht notwendig ist.

Andernfalls, wenn die Ausgänge der Phasenvergleichler für die Datensignale unverzögert wirksam wird, ist die einfachste Maßnahme ein Integrator 21, der die Regelschleife für das Referenzsignal REF verlangsamt. Der Integrator kann in analoger Technik durch einen Schwellwertschalter mit Hysterese erstellt sein. Lösungen in digitaler Technik wie Random-Walk-Filter sind gleichfalls möglich, beispielsweise durch einen Auf-Ab-Zähler, dessen Zählerstand je nach Ausgang mit 1/3 bzw. 2/3 des Gesamtbereichs verglichen wird und so eine Hysterese von 1/3 des Bereichs bewirkt. Eine andere Variante besteht in einem Schieberegister, dessen Ausgänge alle auf H-Pegel bzw. L-Pegel liegen müssen, um ein nachfolgendes R-S-Flip-Flop umzuschalten. Bevorzugt wird durch eine übergeordnete, nicht gezeigte Steuerung eine vorgegebene Anzahl von beispielsweise 16 Takten der Ausgang des Nicht-Und-Glieds 19 durch einen zuvor zurückgesetzten Zähler aufsummiert und endlich durch einen Schwellwertvergleich das integrierte Signal erzeugt, wobei der Schwellwertvergleich bevorzugt den halben Bereich durch Benutzung des höchstwertigen Bits eines Binärzählers verwendet. Andere dem Fachmann für Regelungstechnik bekannte Maßnahmen, die die Stabilität der beiden verschachtelten Regelschleifen bewirken, sind gleichfalls anwendbar.

In Fig. 3 ist ein Signaldiagramm gezeigt. Hierbei werden zunächst während der mit DATA markierten Zeit vier Nutzdatenwörter in einem Rahmen übertragen, worauf eine in diesem Beispiel gleichlange Zeit für den Phasenabgleich folgt. Das Referenzsignal REF zeigt mit seiner steigenden Flanke den Beginn eines neuen Rahmens an. Dieser Impuls liegt bei der Übertragung von Daten für einen Takt auf H und für die restlichen Takte auf L.

Liegen keine Nutzdaten vor, sondern soll dieser Rahmen für eine Synchronisation verwendet werden, so liegt das Referenzsignal REF für mindestens die ersten beiden Takte auf H-Pegel und sodann für die restlichen Takte eines Rahmens auf L-Pegel, so daß der H-Pegel im zweiten Takt dazu dienen kann, die oben beschriebenen Verfahren freizugeben. Vorzugsweise sind die Pegel auf den Datenleitungen gleich dem Pegel des Referenzsignals, so daß im Beispiel alle Signalleitungen einen H-L-Übergang zeigen, der durch die beschriebenen Verfahren und Schaltungen auf Zeitgleichheit im Empfänger geregelt wird. Dabei können selbstverständlich mehrere Datenphasen direkt aufeinander folgen wie auch mehrere Synchronisationsphasen. Es versteht sich, daß für die Synchronisationsphase vorzugsweise diejenigen Rahmen verwendet werden, bei denen keine Daten zur Übertragung anliegen. Selbstverständlich kann auch ein kurzes Referenzsignal für die Synchronisationsphasen und

ein langes für die Datenphasen verwendet werden. In diesem Fall ist es ohne weiteres möglich, immer zwei Takte für die Synchronisation und mehrere Takte für einen Datenrahmen zu verwenden, so daß die durch die Synchronisationszeiten bewirkte Totzeit gering ist.

Für Fälle, in denen ein kontinuierlicher Datenstrom gesichert sein muß und daher keine Abgleichrahmen eingefügt werden können, können auch, wie in Fig. 4 angedeutet, die ersten beiden Takte zur Synchronisation dienen, indem das Referenz- wie auch die Datensignale im ersten Takt auf H-Pegel und im zweiten Takt auf L-Pegel liegen und daraufhin die folgenden Takte der Übertragung von Nutzdaten dienen.

Eine weitere Variante besteht darin, stets den Takt mit Referenzsignal auf H-Pegel zur Synchronisation zu verwenden und lediglich die nachfolgenden Takte zur Nutzdatenübertragung. Hierzu wird in dem Takt, in dem das Referenzsignal H-Pegel hat, auf die Datenleitungen das in dem Takt danach zu übertragene Datenwort invertiert gelegt. Wie in Fig. 5 gezeigt, wird dann der Ausgang des Phasenvergleichers 15a invertiert, wenn das Datensignal nach dem Phasenvergleich auf H-Pegel liegt und damit eine steigende Flanke vorlag. Anstelle der gezeigten Invertierung durch ein XOR-Gatter kann selbstverständlich auch eine Phasenvergleichschaltung 15a mit komplementärem Ausgang, der durch das aktuelle Datensignal ausgewählt wird, verwendet werden.

Eine andere Weiterbildung entsprechend Fig. 6 erlaubt die kontinuierliche Übertragung von Nutzdaten, ohne daß Rahmen für den Phasenabgleich benötigt werden, sofern ausreichend häufig ein Wechsel des Pegels der Daten vom ersten zum zweiten Takt eines durch das Signal REF gekennzeichneten Rahmens erfolgt. Hierzu dient ein D-Flip-Flop 61, dessen Ausgang den Datenpegel des vorausgehenden Taktes hat. Ein negiertes XOR 62 verknüpft den aktuellen Pegel und den vorigen Pegel und zeigt damit an, daß ein Pegelwechsel stattgefunden hat. Hiermit wird eine, durch den Schalter 64 symbolisierte, Freigabe des Ergebnisses des Phasenvergleichers 15a bewirkt, welches damit den Eingang ± des Verzögerungsglieds aktiviert. Dabei muß wie vor entsprechend dem aktuellen Pegel eine Auswahl erfolgen, wie sie durch das XOR-Glied 51 symbolisiert ist. Fernerhin wird, in Fig. 6 nicht weiter gezeigt, durch das Referenzsignal der gesamte Vorgang freigegeben, weil nur dann ein definierter Pegelwechsel des Vergleichssignals REF vorliegt.

Eine weitere, in Fig. 7 gezeigte Fortbildung der Erfindung gewinnt das Freigabesignal für die Veränderung des Verzögerungsglieds selbst. Hierbei wird durch das D-Flip-Flop 71 das Referenz-Signal des vorigen Taktes gespeichert. Einer kombinatorischen Logik 63 werden dann sowohl das Referenz- und Datensignal des aktuellen Taktes, das Referenz- und Datensignal des vorherigen Taktes und das Ergebnis der Phasenvergleichers 15a zugeführt. Die kombinatorische Logik 73 liefert dann nach folgender Tabelle ein Ausgangssignal X:

REF*	REF	D0*	D0	X
H	L	H	L	V
H	L	L	H	/V

Dabei ist das Ausgangssignal X dreier Werte fähig, nämlich einem neutralen, der das Verzögerungsglied 13a nicht verändert und in allen in der Tabelle nicht aufgeführten Fällen angenommen wird, einem positiven und einem negativen, bei dem die Verzögerung erhöht bzw. vermindert wird. Die Tabelle besagt, daß bei einem Wechsel von H nach L des Referenzsignals und bei einem Wechsel von H nach L des Datensignals das Ergebnis des Phasenvergleichers 15a als

positiver bzw. negativer Ausgang verwendet und bei gleicher Situation für das Referenzsignal und einem Wechsel von L nach H des Datensignals das Ergebnis des Phasenvergleichers invertiert verwendet wird.

Patentansprüche

1. Betriebsverfahren für eine Phasenkorrektur mindestens zweier gleichzeitig übertragener digitaler Datensignale (D0, D1) mittels eines gleichfalls übertragenen Referenzsignals (REF) mit folgenden Merkmalen:

- die Datensignale (D0, D1) werden durch jeweils ein verstellbares Verzögerungsglied (13a, 13b) zu verzögerten Datensignalen (D0', D1') verzögert,
- die verzögerten Datensignale (D0', D1') werden durch ein mit dem Referenzsignal (REF) phasensynchron gekoppeltes Taktsignal abgetastet,
- die verzögerten Datensignale (D0', D1') werden durch jeweils einen Phasenvergleich (15a, 15b) mit dem Referenzsignal (REF) verglichen,
- das Ergebnis des jeweiligen Phasenvergleichs (15a, 15b) verstellt das jeweilige Verzögerungsglied (13a, 13b) derart, daß gegenüber dem Referenzsignal vorliegender verzögerte Datensignale stärker und nachteiliger verzögert werden.

2. Verfahren nach Anspruch 1, wobei ein ankommendes Referenzsignal (REF) zu dem weiterzuverwendenden, verzögerten Referenzsignal (REF) durch ein verstellbares Verzögerungsglied (11) verzögert wird und dessen Verzögerung erhöht wird, wenn eines der Verzögerungsglieder (13a, 13b) für die Datensignale anzeigt, daß eine der geringstmöglichen Verzögerungen eingestellt ist.

3. Verfahren nach Anspruch 2, wobei die Veränderung der Verzögerung entweder des Referenzsignals oder jeden Datensignals zwecks Vermeidung von Regelschwingungen gedämpft wird.

4. Verfahren nach Anspruch 1, 2 oder 3, wobei eine Veränderung der eingestellten Verzögerungen nur während einer durch das Referenzsignal bestimmten Synchronisationsphase erfolgt.

5. Verfahren nach Anspruch 4, wobei während einer Synchronisationsphase die Datensignale vorbestimmte Pegelwechsel durchlaufen.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei sowohl Datenphasen als auch Synchronisationsphasen in Rahmen vorbestimmter Länge übertragen werden, deren Beginn durch das Referenzsignal angezeigt wird durch die Länge des Referenzsignals zwischen Datenphase und Synchronisationsphase unterschieden wird.

7. Verfahren nach Anspruch 1 oder 2, wobei durch das Zusammentreffen eines Pegelwechsels des Referenzsignals mit einem Pegelwechsel eines Datensignals die Veränderung der Verzögerung des Datensignals entsprechend dem Vergleichsergebnis des Phasenvergleichers freigegeben wird.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei eine Verstellung der Verzögerungsglieder, beispielsweise durch ein Random-Walk-Filter, nur dann erfolgt, wenn mehrfach hintereinander eine Verstellung in derselben Richtung anliegt.

9. Anordnung für eine Phasenkorrektur mindestens zweier gleichzeitig übertragener digitaler Datensignale (D0, D1) in Bezug auf ein gleichzeitig übertragenes Referenzsignal (REF) mit folgenden Merkmalen:

- die Datensignale (D0, D1) werden jeweils mit einem verstellbaren Verzögerungsglied (13a, 13b) verbunden,

- die Ausgänge der verstellbaren Verzögerungsglieder (13a, 13b) werden jeweils mit einem Phasenvergleich (15a, 15b) verbunden, dessen anderer Referenzeingang mit dem Referenzsignal (REF) verbunden ist,

- der Ausgang eines jeden Phasenvergleichers (15a, 15b) ist mit einem Verstelleingang des jeweiligen verstellbaren Verzögerungsglieds direkt oder über Dämpfungsmittel verbunden,

- ein Freigabesignal gibt die Verstelleingänge der Verzögerungsglieder frei, sofern sowohl ein Pegelwechsel auf dem Referenzsignal als auch ein Pegelwechsel auf dem Datensignal erfolgte.

10. Anordnung nach Anspruch 9, wobei

- ein Verzögerungsglied (11) für das Referenzsignal (REF) ein verzögertes Referenzsignal (REF') erzeugt,

- jedes der Verzögerungsglieder (13a, 13b) für die Datensignale einen Null-Ausgang ("=0") umfaßt, der anzeigt, daß die Verzögerung auf Minimum eingestellt ist,

- jeder dieser Ausgänge ("=0") mit einer Oder-Schaltung verbunden ist, deren damit Ausgang anzeigt, daß mindestens eines der Verzögerungsglieder minimal eingestellt ist,

- der Ausgang der Oder-Schaltung direkt oder über Dämpfungsmittel mit dem Verstelleingang ("±") des Verzögerungsgliedes für das Referenzsignal verbunden ist.

Hierzu 4 Seite(n) Zeichnungen

- Leerseite -

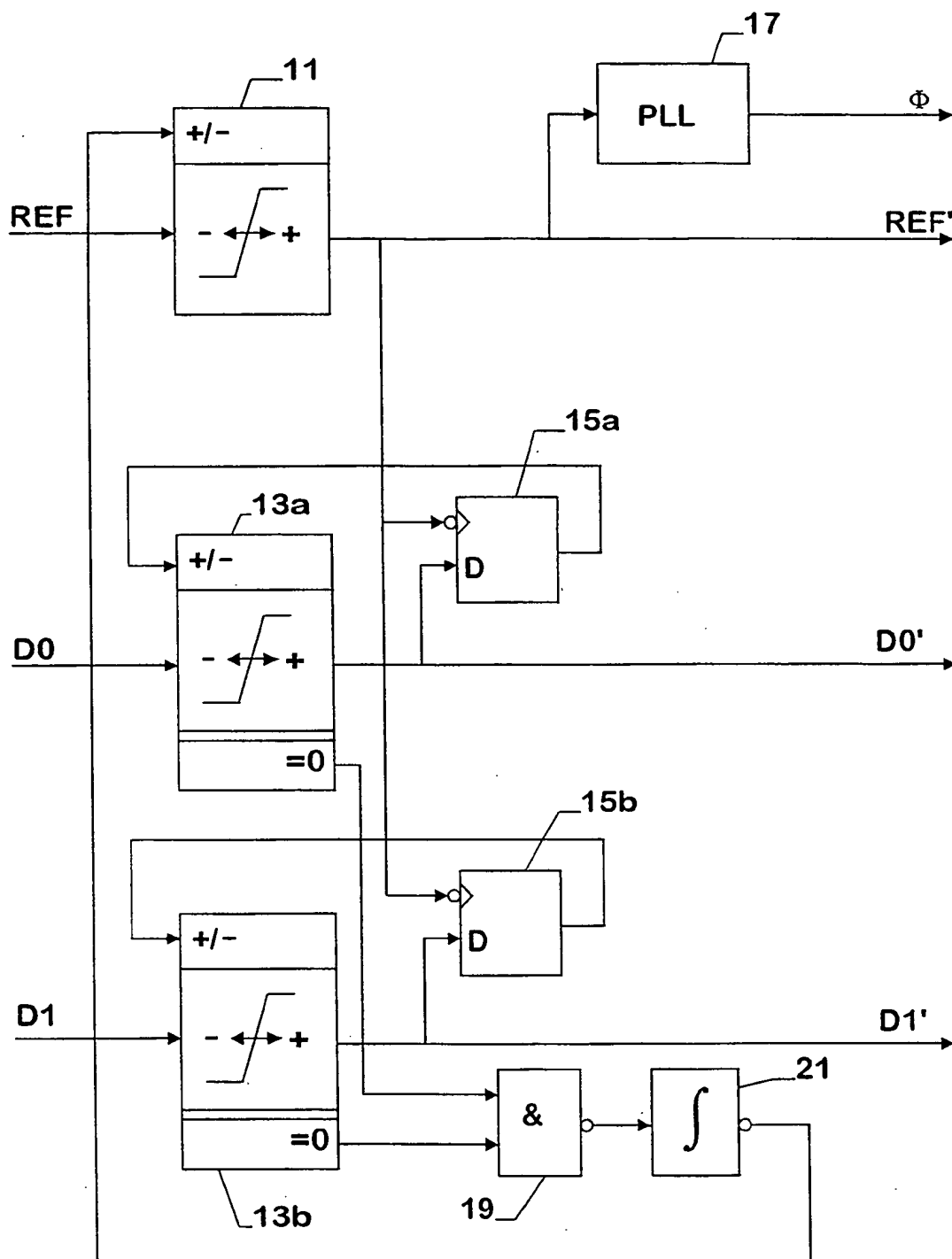


Fig. 1

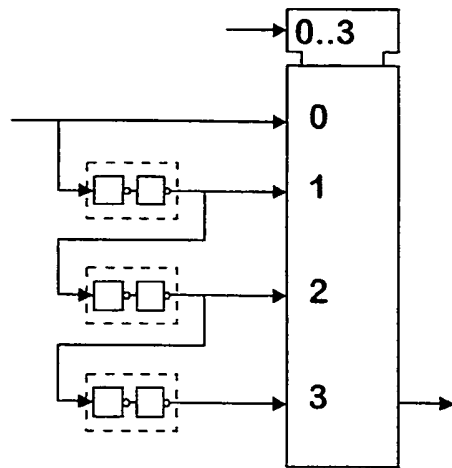


Fig. 2a

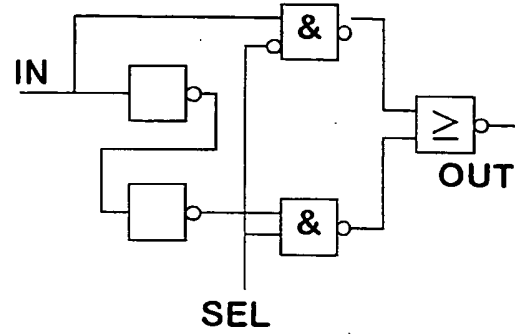


Fig. 2b

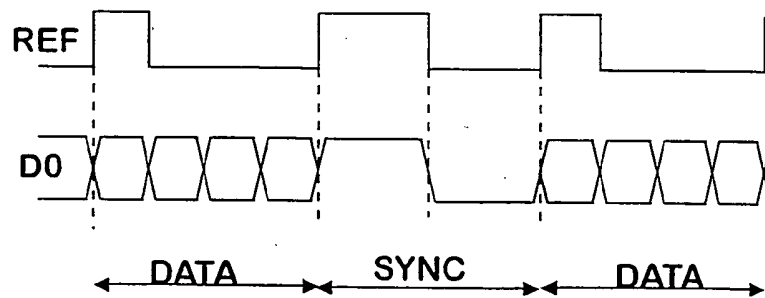


Fig. 3

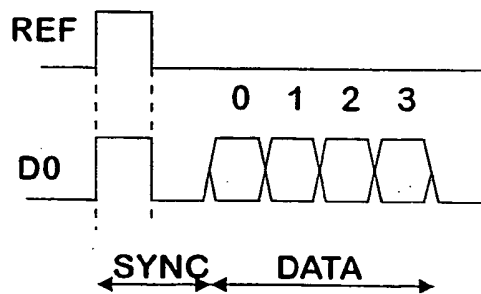


Fig. 4

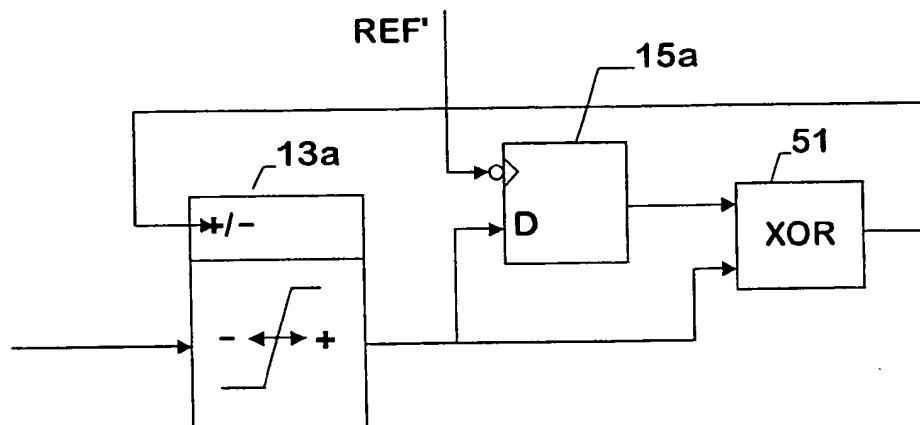


Fig. 5

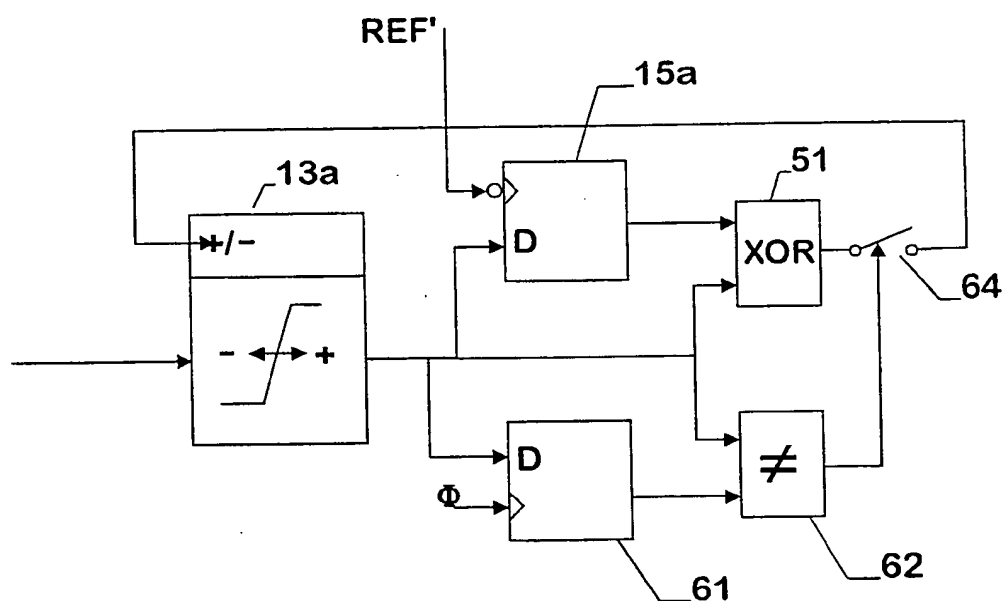


Fig. 6

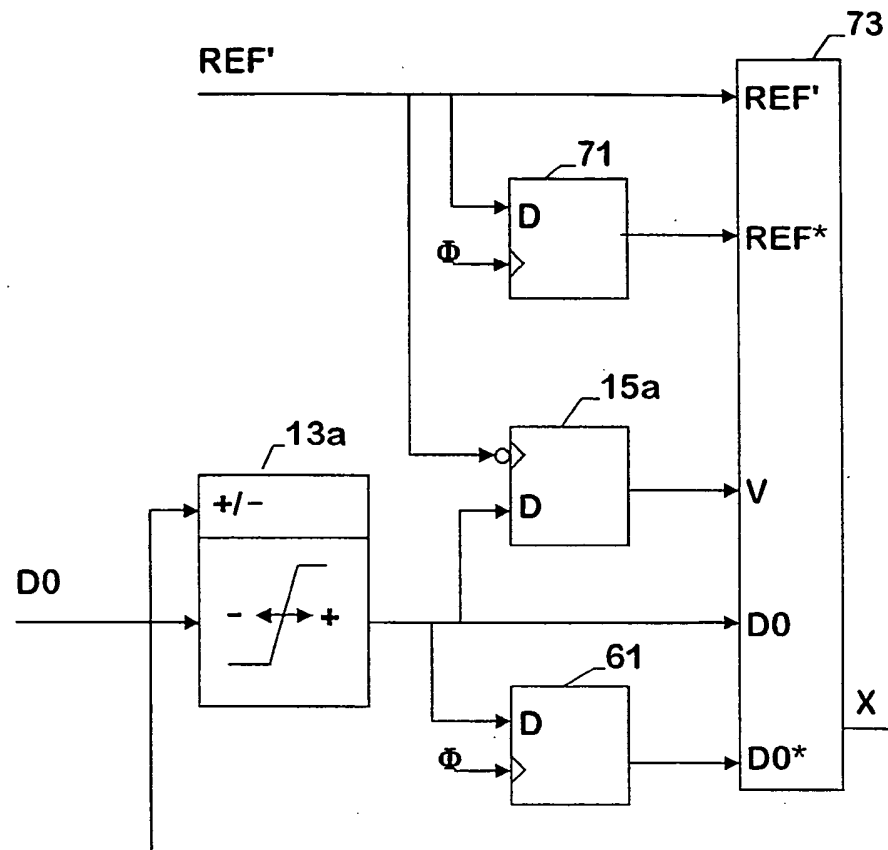


Fig. 7